

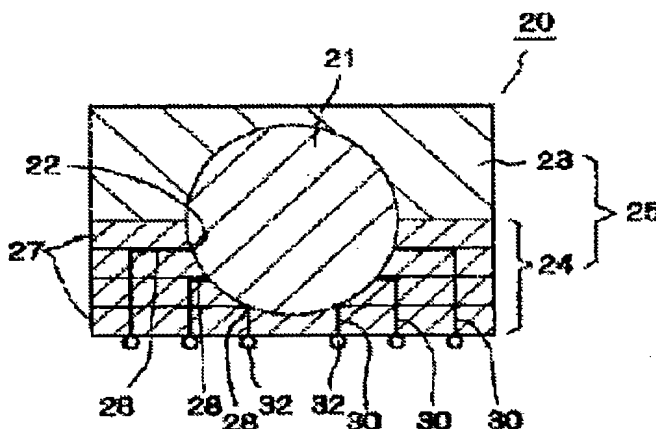
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Patent number: JP2003060113
Publication date: 2003-02-28
Inventor: HANAGAKI YUJI; IIZUKA HAJIME
Applicant: SHINKO ELEC IND
Classification:
- international: **H01L23/12; H05K3/46; H01L23/12; H05K3/46; (IPC1-7): H01L23/12; H05K3/46**
- european:
Application number: JP20010248052 20010817
Priority number(s): JP20010248052 20010817

Report a data error here

Abstract of JP2003060113

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which a terminal part can be arranged with a spatial margin by securing the arranging area of a terminal part.
SOLUTION: In this semiconductor device 20 mounting a spherical semiconductor element 21 on a substrate 25, the semiconductor element 21 has a plurality of terminal parts 22 formed on its peripheral surface, and is partially or entirely buried in the substrate 25. The substrate 25 has a plurality of layers of wiring patterns 28 laminated via an insulating layer 27, the wiring patterns 28 are connected electrically with the terminal part 22 of the semiconductor element 21 and led out to the surface of the substrate 25 directly or via a via 30. Fixing materials 32 for external connection are formed at the exposed parts of the patterns 28.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-60113

(P2003-60113A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード (参考)

H 0 1 L 23/12

H 0 5 K 3/46

B 5 E 3 4 6

H 0 5 K 3/46

N

H 0 1 L 23/12

Q

N

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-248052 (P2001-248052)

(22) 出願日 平成13年8月17日 (2001.8.17)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 花垣 裕治

兵庫県尼崎市西昆陽3-32-10-505

(72) 発明者 飯塚 肇

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

Fターム (参考) 5E346 AA43 BB01 BB16 BB20 CC32

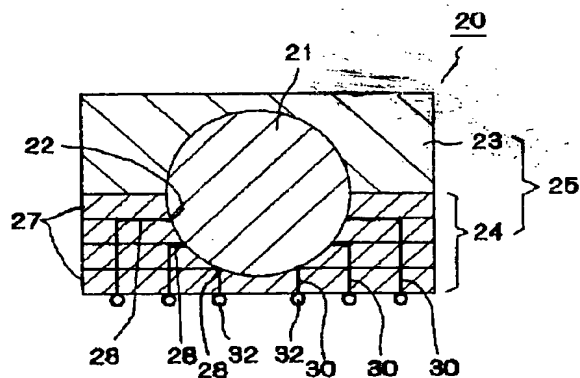
DD17 DD24 EE33 FF18 GG15

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 端子部の配置エリアを大きく確保でき、端子部を空間的に余裕をもって配置できる半導体装置を提供する。

【解決手段】 本発明に係る半導体装置では、球状半導体素子21が基板25に実装された半導体装置20において、球状半導体素子21は周面に複数の端子部22が形成されていると共に、基板25内に一部もしくは全部が埋没しており、基板25は、絶縁層27を介して複数層の配線パターン28が積層されて成り、配線パターン28が球状半導体素子21の端子部22に電気的に接続されると共に、基板25の表面に直接もしくはビア30を介して導出されており、配線パターン28の露出部に外部接続用の固定材32が形成されていることを特徴とする。



【特許請求の範囲】

【請求項1】 球状半導体素子が基板に実装された半導体装置において、前記球状半導体素子は周面に複数の端子部が形成されていると共に、前記基板内に一部もしくは全部が埋没しており、前記基板は、絶縁層を介して複数層の配線パターンが積層されて成り、

該配線パターンが前記球状半導体素子の端子部に電気的に接続されると共に、前記基板の表面に直接もしくはビアを介して導出されており、該配線パターンの露出部に外部接続用の固定材が形成されていることを特徴とする半導体装置。

【請求項2】 前記基板はブロック体をなし、前記固定材が該ブロック体の表面に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記基板の、球状半導体素子の赤道を含む層がコア基板に形成され、該コア基板の両面にビルドアップ法により前記絶縁層と配線パターンとが形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記端子部のうち、複数の電源端子部および／または複数の接地端子部が、前記配線パターン間が電気的に接続されて共通の配線パターンにより前記ブロック体の表面に導出されていることを特徴とする請求項1、2または3記載の半導体装置。

【請求項5】 前記ブロック体が複数個電気的に接続されていることを特徴とする請求項1、2、3または4記載の半導体装置。

【請求項6】 ベース層に、周面に複数の端子部が形成された球状半導体素子の一部を埋没させて球状半導体素子を支持する工程と、前記ベース層上に、ビルドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形成する工程と、該配線パターンをビアを介して最表層の前記絶縁層に導出する工程と、該露出するビアに固定材を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 ベース層に、周面に複数の端子部が形成された球状半導体素子の半球よりも小さい部分を埋没させて球状半導体素子を支持する工程と、該ベース層上に、前記球状半導体素子の赤道を含む部位を覆うコア層を形成する工程と、該コア層上に、ビルドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形成する工程と、該配線パターンを形成した後、前記ベース層を除去する工程と、該ベース層が除去されて露出した前記コア層上に、ビル

ドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形成する工程と、前記配線パターンをビアを介して最表層の前記絶縁層に導出する工程と、該露出するビアに固定材を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は球状半導体素子を搭載した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 球状の半導体材料（シリコン）の表面に半導体素子を形成した球状半導体素子を用いて半導体装置を製造する技術が1998年7月1日発行の「日経マイクロデバイス」などに紹介されている。この球状半導体素子を基板に搭載するには、特開2000-286296号公報に示される方法や、特開2000-31189号公報に示される方法がある。

【0003】 前者の搭載方法は、図16に示すように、実装基板10の、球状半導体素子11を搭載する部位に凹部12を設け、この凹部12内に端子部13を設け、重心が偏っている球状半導体素子11を凹部12内に配置し、微振動を加えることによって、球状半導体素子11の所定個所が下向きになって、球状半導体素子11の端子部14と凹部12内の端子部13とを精度よく重ねることができ、はんだ15により接合するというものである。

【0004】 また後者の搭載方法は、図17、および図18に示すように、球状半導体素子11の端子部に、基板10の最も近い側の端子部には小球のはんだボール15aを、その周りの端子部には大径のはんだボール15bを取り付けることにより、球状の半導体素子11を平板の基板10上に搭載可能としたものである。また、図19に示すように、はんだボール15により、球状の半導体素子11間も電気的に接続可能としている。

【0005】

【発明が解決しようとする課題】 しかしながら、前者の場合は、球状半導体素子11における端子部14の配置が、球状半導体素子11の一方のエリア側に限定され、球状半導体素子11の周面全体にわたって端子部14を配置することができないという課題がある。また後者の図17、図18の場合も同様で、端子部の配列個所が球状半導体素子11の狭いエリア内に限定されてしまうという課題がある。また径の異なるはんだボールを用意しなければならず、コストアップの要因となる。さらには、大径のはんだボール15bを用いる個所は、端子部間距離を大きく設定しなければならず、端子部数に限界が生じるという課題がある。図19に示すものでは、球状半導体素子11の他のエリアにも端子部を配列できる

が、これとても限界がある。また空間部ではんだバンプにより隣接する球状半導体素子11を接合するのは、はんだの流動等により極めて困難である。

【0006】本発明は上記課題を解決すべくなされたものであり、その目的とするところは、球状半導体素子の端子部の配置エリアを大きく確保でき、端子部を空間的に余裕をもって配置できるとともに、多ピン化が可能な半導体装置およびその製造方法を提供するにある。

【0007】

【課題を解決するための手段】上記目的による本発明に係る半導体装置では、球状半導体素子が基板に実装された半導体装置において、前記球状半導体素子は周面に複数の端子部が形成されていると共に、前記基板内に一部もしくは全部が埋没しており、前記基板は、絶縁層を介して複数層の配線パターンが積層されて成り、該配線パターンが前記球状半導体素子の端子部に電気的に接続されると共に、前記基板の表面に直接もしくはビアを介して導出されており、該配線パターンの露出部に外部接続用の固定材が形成されていることを特徴とする。

【0008】前記基板をブロック体に形成し、前記固定材を該ブロック体の表面に形成することができる。また、前記基板の、球状半導体素子の赤道を含む層をコア基板に形成し、該コア基板の両面にビルドアップ法により前記絶縁層と配線パターンとを形成することができる。前記端子部のうち、複数の電源端子部および／または複数の接地端子部を、前記配線パターン間を電気的に接続して共通の配線パターンにより前記ブロック体の表面に導出するようにすると好適である。前記ブロック体を複数個電気的に接続して半導体装置に形成できる。

【0009】また、本発明に係る半導体装置の製造方法では、ベース層に、周面に複数の端子部が形成された球状半導体素子の一部を埋没させて球状半導体素子を支持する工程と、前記ベース層上に、ビルドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形成する工程と、該配線パターンをビアを介して最表層の前記絶縁層に導出する工程と、該露出するビアに固定材を形成する工程とを含むことを特徴とする。

【0010】また本発明に係る半導体装置の製造方法では、ベース層に、周面に複数の端子部が形成された球状半導体素子の半球よりも小さい部分を埋没させて球状半導体素子を支持する工程と、該ベース層上に、前記球状半導体素子の赤道を含む部位を覆うコア層を形成する工程と、該コア層上に、ビルドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形成する工程と、該配線パターンを形成した後、前記ベース層を除去する工程と、該ベース層が除去されて露出した前記コア層上に、ビルドアップ法により、絶縁層を介して、前記球状半導体素子の端子部に電気的に接続する複数層の配線パターンを形

成する工程と、前記配線パターンをビアを介して最表層の前記絶縁層に導出する工程と、該露出するビアに固定材を形成する工程とを含むことを特徴とする。

【0011】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。

【第1の実施の形態】図1は基板に球状半導体素子が実装された半導体装置20の第1の実施の形態を示す。球状半導体素子21は周面に複数の端子部22が形成されている。これら端子部22は球状半導体素子21の周面に、同心状となる複数の円周上に位置するように配置されている。球状半導体素子21はブロック状をなす基板25内に全部が埋没している。なお、球状半導体素子21は基板25内に一部が埋没しているのでもよい（図示せず）。

【0012】基板25はベース層23とこのベース層23上に複数層積層された積層部24とからなる。ベース層23に球状半導体素子21のほぼ半分が埋没している。積層部24は、絶縁層27を介して複数層の配線パターン28が積層されて成る。この積層部24はビルドアップ法により形成することができる。この積層部24に球状半導体素子21の残りのほぼ半分が埋没している。各層の配線パターン28は、図2に示すように、球状半導体素子21の周面の同一円周上に位置する端子部22に電気的に接続している。また各層の配線パターン28はビア30により最表層の絶縁層27面に導出されている。このビア30にはんだバンプ（固定材）32が取り付けられて半導体装置20に完成されている。

【0013】なお、図示しないが、配線パターン28を絶縁層27の各層面に沿って延長して、各層の端面に露出させ、この露出部にはんだバンプを形成するようにしてもよい。また、上記では、各端子部22が独立してそれぞれ基板25の端面に導出されているが、端子部22のうち、複数の電源端子部や、複数の接地端子部を、内部配線パターン間でビアにより電気的に接続して、共通のビアもしくは配線パターンによりブロック状の基板25の壁面に導出させ、共通のはんだバンプにより外部と接続するようにしてもよい（図示せず）。このようにすることで、実装基板側の電源ラインや接地ラインを共通のものに形成でき、配線効率を高めることができる。

【0014】図3～図5は図1に示す半導体装置20の製造方法を示す。まず図3に示すように、半球状の凹部23aが形成されたベース層23に、周面に複数の端子部22が形成された球状半導体素子21の一部を埋没させて球状半導体素子21をベース層23に支持する。ベース層23が樹脂材よりなるときは、凹部23aは、半球以上の深さであってもよい。この場合は球状半導体素子21を該凹部23aに押し込むようにして配置できる。ベース層23は、金属製であってもよく、これにより放熱性を高めることができる。

【0015】次に図4に示すように、ベース層23上に、ビルドアップ法により、絶縁層27を介して、球状半導体素子21の端子部22に電氣的に接続する複数層の配線パターン28を形成する。配線パターン28は、絶縁層23表面に、まずスパッタリング等によって銅層を形成し、さらに電解銅めっきを施してこの銅層を所要厚さに形成した後、フォトリソグラフ法により所要パターンにエッチングして形成される。次に、絶縁層27にレーザー加工によりビア穴を形成し、このビア穴内に導電材を充填してビア30を形成する。次いで図5に示すように、最表層の絶縁層27に露出したビア30にはんだパンプ32を形成するのである。

【0016】ビア30を形成するには、図6～図8に示すようにするとよい。まず、図6に示すように、下層の配線パターン28上に絶縁層27を形成した際、この絶縁層27にレーザー加工によりブラインドビア穴30aを形成し、配線パターン28を露出させる。次いで、絶縁層27上およびブラインドビア穴30a内に、上記のように銅層を形成し、絶縁層27上に配線パターン28を形成するとともに、ブラインドビアめっき皮膜28aを残す(図7)。次に、図8に示すように、ブラインドビア穴30a内を、さらに上層の絶縁層27で埋め、最後に一括してブラインドビア穴30bをレーザー加工によってあけ、ブラインドビアめっき皮膜28aを露出させる。次いでブラインドビア穴30b内に導電材を充填してビア30を形成するのである。このようにすると、導電材が広い面積のブラインドビアめっき皮膜28aと接続することから、良好な電氣的接続をとることができる。

【0017】〔第2の実施の形態〕図9は半導体装置20の第2の実施の形態を示す。第1の実施の形態と同一の部材は同一符号をもって示す。本実施の形態では、基板25の、球状半導体素子21の赤道を含む部位を覆う層がコア基板35に形成され、このコア基板35の両面側にビルドアップ法により複数の絶縁層27と配線パターン28とが形成されている。この配線パターン28は、球状半導体素子21の周面に形成された、対応する端子部22に電氣的に接続され、また、ビア30によりブロック状の基板25の両端面に導出される。一方の端面に導出されたビア30にはんだパンプ(固定材)32が取り付けられる。半導体装置20は、はんだパンプ32を介して実装基板(図示せず)に搭載される。また反対側の端面に導出したビア30には、図15に示すように、他の半導体装置20がはんだパンプを介して接続される。

【0018】図10～図13は、図9の半導体装置20の製造方法を示す。まず、図10に示すように、半球よりも小さな凹部34aを有するベース層34に、周面に複数の端子部が形成された球状半導体素子21の半球よりも小さい部分を埋没させて球状半導体素子21をベ-

ース層34に支持する。ベース層34の材質は特に限定されない。次に図11に示すように、ベース層34上に、球状半導体素子21の赤道を含む部位を覆うコア層35を形成する。コア層35は樹脂材料を塗布、固化して形成する。コア層35は、強度を担持させるものであるもので、比較的厚く、また、球状半導体素子21の赤道が中央部にくるように、すなわち、赤道部から両側に同一厚さになるように形成するとよい。

【0019】次に図12に示すように、コア層35上に、ビルドアップ法により、絶縁層27を介して、球状半導体素子21の端子部22に電氣的に接続する複数層の配線パターン28を形成する。この配線パターン28を図6～図8に示す方法によりビア30を介して最表層の絶縁層27面に導出する。次に図13に示すように、ベース層34を除去し、図9に示すように、ベース層34が除去されて露出した、反対側のコア層25上に、ビルドアップ法により、絶縁層27を介して、球状半導体素子21の端子部に電氣的に接続する複数層の配線パターン28を形成する。また配線パターン28をビア30を介して最表層の絶縁層27に導出する。そして導出したビア30にはんだパンプ(固定材)32を形成するのである。

【0020】〔第3の実施の形態〕図14は、半導体装置20の第3の実施の形態を示す。前記実施の形態と同一の部材は同一の符号で示す。本実施の形態では基板25内に横方向に2個の球状半導体素子21を配し、球状半導体21間の端子部22は、絶縁層27上に形成した共通の配線パターン28により電氣的に接続するようにしている。基板内に3個以上の複数個の球状半導体素子21を配することもできる。これにより、球状半導体素子21をさらに効率よく配置できる。図15は図14に示す半導体装置21を2個電氣的に接続した例を示す。

【0021】

【発明の効果】以上のように本発明によれば、球状半導体素子の周面全体に亘って端子部を配置でき、多ピン化に対応できるとともに、端子部間の間隔もそれだけ広く確保でき、短絡等の不具合を回避できる。また、多層回路基板で用いられているビルドアップ法により製造できるので、製造工程も複雑化せず、コストの低減も図れる。

【図面の簡単な説明】

【図1】半導体装置の第1の実施の形態を示す断面説明図である。

【図2】配線パターンの一例を示す平面図である。

【図3】図3～図5は図1の半導体装置を製造する工程図であり、図2はベース層に球状半導体素子を支持した状態を示す説明図である。

【図4】ベース層上に絶縁層、配線パターン、ビアを形成した状態の説明図である。

【図5】はんだパンプを取り付けた状態の説明図であ

る。

【図6】図6～図8はビアを形成する製造工程の一例を示し、図6は、ブラインドビア穴を形成した状態の説明図である。

【図7】ブラインドビアめっき皮膜を形成した状態の説明図である。

【図8】絶縁層を貫通するブラインドビア穴を形成した状態の説明図である。

【図9】半導体装置の第2の実施形態を示す断面説明図である。

【図10】図10～図13は図9の半導体装置の製造工程を示し、図10は、ベース層に球状半導体素子を支持した状態の説明図である。

【図11】コア層を形成した状態の説明図である。

【図12】コア層の片面に絶縁層、配線パターン、ビアを形成した状態の説明図である。

【図13】ベース層を除去した状態の説明図である。

【図14】半導体装置の第3の実施形態を示す断面説明図である。

【図15】図14の半導体装置を複数電気的に接続した状態を示す断面説明図である。

【図16】従来の球状半導体素子の基板への搭載方法を*

*示す説明図である。

【図17】従来の球状半導体素子の基板への他の搭載方法を示す説明図である。

【図18】図17の従来例におけるはんだボールの配置を示す説明図である。

【図19】複数の球状半導体素子を複数接合した従来例の説明図である。

符号の説明

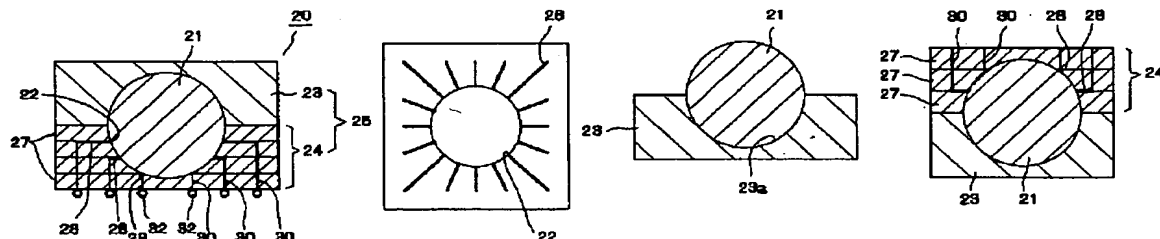
- | | |
|----|---------|
| 20 | 半導体装置 |
| 21 | 球状半導体素子 |
| 22 | 端子部 |
| 23 | ベース層 |
| 24 | 積層部 |
| 25 | 基板 |
| 27 | 絶縁層 |
| 28 | 配線パターン |
| 30 | ビア |
| 32 | はんだバンプ |
| 34 | ベース層 |
| 35 | コア層 |

【図1】

【図2】

【図3】

【図4】



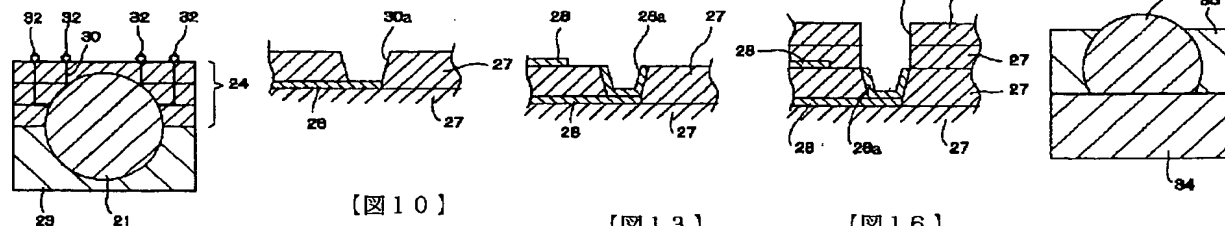
【図5】

【図6】

【図7】

【図8】

【図11】

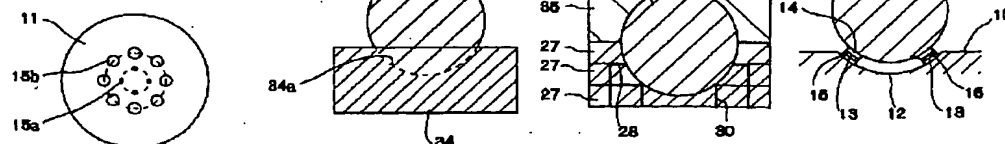


【図10】

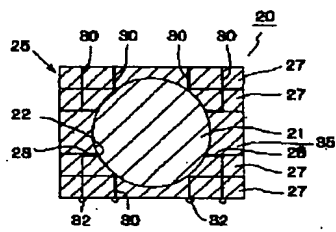
【図13】

【図16】

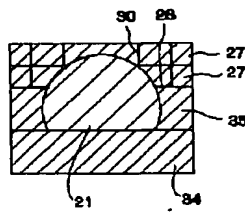
【図18】



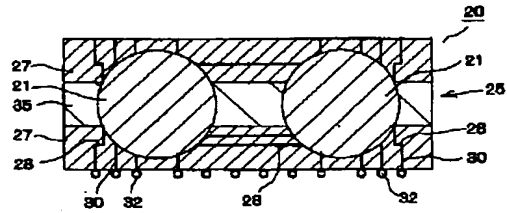
【図9】



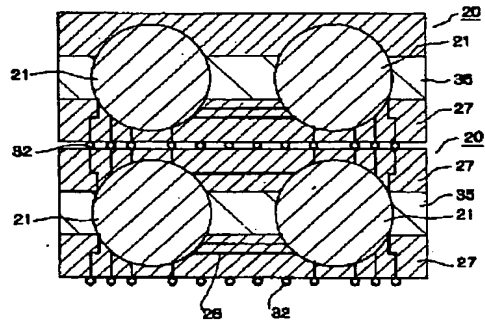
【図12】



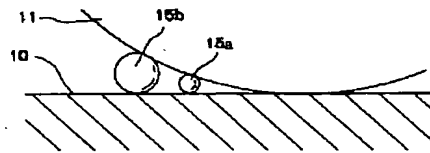
【図14】



【図15】



【図17】



【図19】

